

DOI: 10.7652/xjtuxb202003002

用于植入式医疗设备的低功耗低位 逐次逼近型模数转换器

许江涛, 闫创, 段颖哲, 翟羽健, 伍民顺, 张瑞智
(西安交通大学微电子学院, 710049, 西安)

摘要: 针对植入式医疗设备中关键模块模数转换器(ADC)的超低功耗设计问题,以低功耗的逐次逼近型 ADC 为基础,提出了低位逐次逼近量化逻辑的模数转换器。量化逻辑主要用于以心电信号为代表的低活动度生物信号,在采用固定分辨率和采样率的情况下,根据信号的变化幅度调整量化次数,以达到降低功耗和压缩数据量的目的,在信号处于基线或缓变间期最少只需要 3 次量化就可以得到 ADC 转换结果。采用 Global Foundry 0.18 m 标准 CMOS 工艺对该 ADC 进行了电路和版图设计,仿真结果显示,在 1.8 V 的电源电压和 1 kHz 的采样率下,ADC 的有效位为 9.6 b,核心电路平均电流功耗为 64~131 nA。该低位逐次逼近模数转换器特别适合应用于植入或可穿戴医疗设备中低活动度生物信号的模数转换,在保证量化精度的同时显著降低了 ADC 的功耗。

关键词: 植入式医疗设备;低功耗;低位逐次逼近;模数转换器

中图分类号: TN432 **文献标志码:** A **文章编号:** 0253-987X(2020)03-0012-08

Low Power and Least Significant Bit-First Successive-Approximation Analog-to-Digital Converter for Implantable Medical Devices

XU Jiangtao, YAN Chuang, DUAN Yingzhe, ZHAI Yujian, WU Minshun, ZHANG Ruizhi
(School of Microelectronics, Xi'an Jiaotong University, Xi'an 710049, China)

Abstract: Aiming at the ultra-low power consumption design of the indispensable analog-to-digital converter (ADC) in implantable medical devices, based on the low-power-consumption successive-approximation SAR ADC, a least significant bit (LSB)-first SAR ADC is presented. The LSB-first quantitative logic is mainly used for biological signals of low mobility, such as electrocardiosignal. Under the condition of fixed resolution and sampling rate, the number of quantization is adjusted according to the amplitude of the varying signal, so as to achieve the purpose of reducing power consumption and compressing data amount. Only a minimum number of three quantizations is required to obtain a quantitative result when the signal in on the baseline or varies slowly. Global Foundry 0.18- μm standard CMOS process is used to design the circuit and layout of the ADC. The post-simulation results show that at the power supply voltage of 1.8 V and the sampling rate of 1 kHz, the effective bits are 9.6 bits, and the average current power consumption of the core circuit is 64-131 nA. The proposed LSB-first ADC can achieve high quantization accuracy while significantly reducing power consumption, and it is especially suitable for application in analog-to-digital conversion of low-mobility biological signals for implantable or

收稿日期: 2019-07-16。 作者简介: 许江涛(1983—),男,讲师。 基金项目: 国家自然科学基金资助项目(61404102, 61774126);中央高校基本科研业务费专项资金资助项目(xjj2018019)。

网络出版时间: 2019-12-19 网络出版地址: <http://kns.cnki.net/kcms/detail/61.1069.T.20191219.1123.005.html>

wearable medical devices.

Keywords: implantable medical device; low power consumption; least significant bit-first successive approximation; analog-to-digital converter

心脏起搏器作为治疗心律失常的医疗器械,被广泛地应用于心脏疾病的治疗中,其主要功能为产生电脉冲刺激心肌细胞,使心脏正常收缩工作以及感知检测心电信号,实现自适应按需刺激。植入式心脏起搏器采用内置锂电池供电,需要在人体内稳定工作十年以上,因此实现心脏起搏器芯片中电路的低功耗设计是重要的研究方向。其中,模数转换器(ADC)作为心脏起搏器芯片中的重要模块,是连接心电感知模拟前端电路和微处理器的重要桥梁。随着植入式设备小型化和智能化的发展,进一步降低植入式设备中 ADC 的功耗和面积成为 ADC 的重要研究方向。由于 ADC 的速度和精度存在一定的折中关系,与其他结构的 ADC 相比^[1-4],逐次逼近型(SAR)ADC 因其高精度、低功耗和结构简单等优点,被广泛应用于植入式医疗装置中。SAR ADC 一般由数字逐次逼近控制逻辑、电容数模转换器(CDAC)和动态比较器组成,采用固定采样率和分辨率对输入信号进行量化,其功耗主要包括数字控制电路的功耗、CDAC 电容阵列开关电压产生的动态功耗以及比较器的动态功耗^[5]。然而,以心电信号为代表的生物信号有其自身特点,例如突发性、低频和低活动度,如何结合这些特点进一步降低模数转换的功耗是本文研究的重点。

图 1 给出了典型的体表心电信号(ECG)模式图,在一个正常的心动周期中,一个典型的 ECG 波形是由一个 P 波、一个 QRS 波群和一个 T 波组成。心电图的基线被称为等电势线。一般情况下,等电势线在心电图中是指 T 波后和下一个 P 波前的那一段波形。心电信号在心脏内表现为 800 ms 周期内有 2 ms 上升和 13 ms 下降的脉冲波,其余 98% 的时间心电信号维持在基线基本不变,因此采用固定采样率和分辨率的 SAR ADC 对周期内变化缓慢的心电信号采样量化会出现功耗浪费的情况。针对

心电信号这样低活动度的信号,近年来国内外许多学者提出了可变采样率和分辨率的 ADC^[6-7],以求进一步降低 ADC 整体功耗,也有学者提出使用非同步时钟的 ADC 对低活动度信号量化,根据输入信号幅度来改变采样率,达到降低功耗的目的^[8-9]。然而,采用可变采样率的 ADC 量化信号,会使后端数字处理因数据率不断变化而变得更为复杂。

本文根据近年来超低功耗的 ADC 结构^[10-11],针对生物电信号的低活动度的特点,以 SAR ADC 为基础,提出了针对心电信号的低位逐次逼近(LSB-First SA)控制逻辑。控制逻辑的核心是通过将 ADC 的量化过程分为最高有效值(MSB)确定阶段、量化方向确定阶段、高位量化阶段和低位量化阶段,在 ADC 前次量化结果的基础上,跟踪当前信号和采样信号的差值来减少比较次数,实现输入信号的快速量化,达到低功耗的设计要求。此外,由于共模恒定型的 CDAC^[12-13]电容阵列与传统结构相比可以节约 87.5% 的动态功耗,本文 CDAC 电容阵列采用 10 位的分段电容,在不改变 SAR ADC 精度和线性度的条件下,实现了低功耗。

1 低位逐次逼近控制逻辑

传统 SAR ADC 的量化逻辑是以二分法为核心,对采样信号从最高有效位(MSB)逐位量化到最低有效位(LSB),这是一种 MSB-First 的量化逻辑。对于频率在 MHz 以内的输入信号,传统 SAR ADC 具有高精度和低功耗的特点,但是对于变化缓慢的输入信号,特别是周期占空比较小、长时间不变的心电信号,从高到低的 MSB-First 量化逻辑就显得不再合适。例如,当相邻两次采样信号仅变换 1 个最低有效位电压时,传统的 N 位 SAR ADC 需要从高位开始,至少进行 N 次量化比较才能得到最终的结果,而期间会产生大量不必要的电容阵列和比较器的动态功耗。根据这些特点,本文提出低位逐次逼近量化逻辑 ADC,首先从低位进行比较,然后再从高位逐位逼近到低位,主要用于心电等低活动度的生物电信号。量化逻辑引入前次采样信号的量化结果 D_{PREV} ,通过输入信号 V_{IN} 与 D_{PREV} 进行比较,快速得到输入信号 V_{IN} 的量化结果。当输入信号变化较小时,ADC 仅需要 3 次比较就可以得到最终量化结

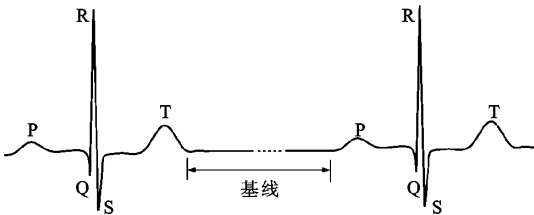


图 1 典型的体表心电信号模式图

果,从而减少了电容阵列和比较器的反转次数,极大地降低了动态功耗。

本文所提出的 LSB-First 低位逐次逼近量化逻辑将输入信号的模数转换过程分为 4 个阶段,流程如图 2 所示。第 1 阶段(P_0)是对输入信号 V_{IN} 进行采样并确定 ADC 10 位数字输出结果 V_{DAC} 的 MSB;第 2 阶段(P_1)是进行低位 1 个最低有效位比较并得到高位量化方向 D_{DIR} ;第 3 阶段(P_2)将预设的量化值 D_{PREV} 按照 P_2 阶段确定的方向赋值,直到第 Q 位变化时输出结果 V_{DAC} 超过 V_{IN} ;第 4 阶段(P_3)再从 $Q-1$ 位开始向最低逐位进行量化,得到最终的量化结果,此阶段过程和传统 SAR ADC 量化过程相似。

图 3 给出了低位 ADC 系统结构图,包括 CDAC 电容阵列、自举采样开关、比较器和 LSB-First 数字控制逻辑等。下面将结合图 2 和图 3 中的电路结构具体介绍每个阶段。

第 1 阶段(P_0) 对输入信号 $V_{IN} = V_{INP} - V_{INN}$ 进行采样,由于使用共模恒定型的差分采样电容阵列(如图 3 所示),采样后比较器可直接比较其差分正负输入端 V_{INP} 和 V_{INN} 的采样值,比较结果 D_{CMP} 代表符号位,即为 ADC 最高位 MSB 的量化值,这是第 1 次比较的过程。

第 2 阶段(P_1) ADC 的参考比较电压来自于前一次的量化结果 D_{PREV} (第 1 次量化时 D_{PREV} 为所设置的初始猜想值), D_{PREV} 通过控制电容数模转换器

CDAC 生成模拟比较电压 V_{DAC} ,同时复位方向寄存器中 D_{DIR} 。将采样得到的输入信号 V_{IN} 与 V_{DAC} 进行比较(第 2 次比较),如果 $V_{IN} > V_{DAC}$,比较器输出高电平,说明 D_{PREV} 小于输入信号 V_{IN} , V_{DAC} 需要增加 1 个最低有效位再与 V_{IN} 比较。利用方向指示信号 D_{DIR} 控制方向单位电容 C_D 下极板电压改变,使 CDAC 阵列中输出电压 V_{DAC} 增加 1 个最低有效位,再与输入信号 V_{IN} 比较(第 3 次比较),若此时 $V_{IN} < V_{DAC}$,说明 $D_{PREV} < V_{IN} < D_{PREV} + 1$,本次采样信号相对于上次采样信号的量化结果的改变并没有超过 1 个最低有效位,因此前次采样的量化值 D_{PREV} 就是输入信号 V_{IN} 的量化结果,也意味着上次量化结果无需变化。若 $V_{IN} > V_{DAC}$ 仍然成立,则将 D_{DIR} 设置为 1,说明需要改变 D_{PREV} 高位的数字码,从而开启 P_2 阶段的高位量化。同理,当 $V_{IN} < V_{DAC}$ 时,也只需要再进行两次比较,如果第 2 次 $V_{IN} < V_{DAC}$ 仍然成立,将 D_{DIR} 设置为 0,进一步减小 D_{PREV} 的量化值,此时就跳到 P_3 阶段的低位量化过程。这样通过两次低位比较即可确定 P_2 或 P_3 阶段的量化方向信号 D_{DIR} 。因此如果信号变化小于 1 个最低有效位,ADC 的量化过程会在该阶段进行 3 次比较之后结束,可以大大减少缓变或无活动间期的量化比较次数,最大程度地节省功耗。

第 3 阶段(P_2) 此阶段为高位量化阶段。LSB-First 控制逻辑模块根据 D_{DIR} 非线性地指数增大前次量化值 D_{PREV} ,即将 D_{DIR} (此时为 1)从低位到高位

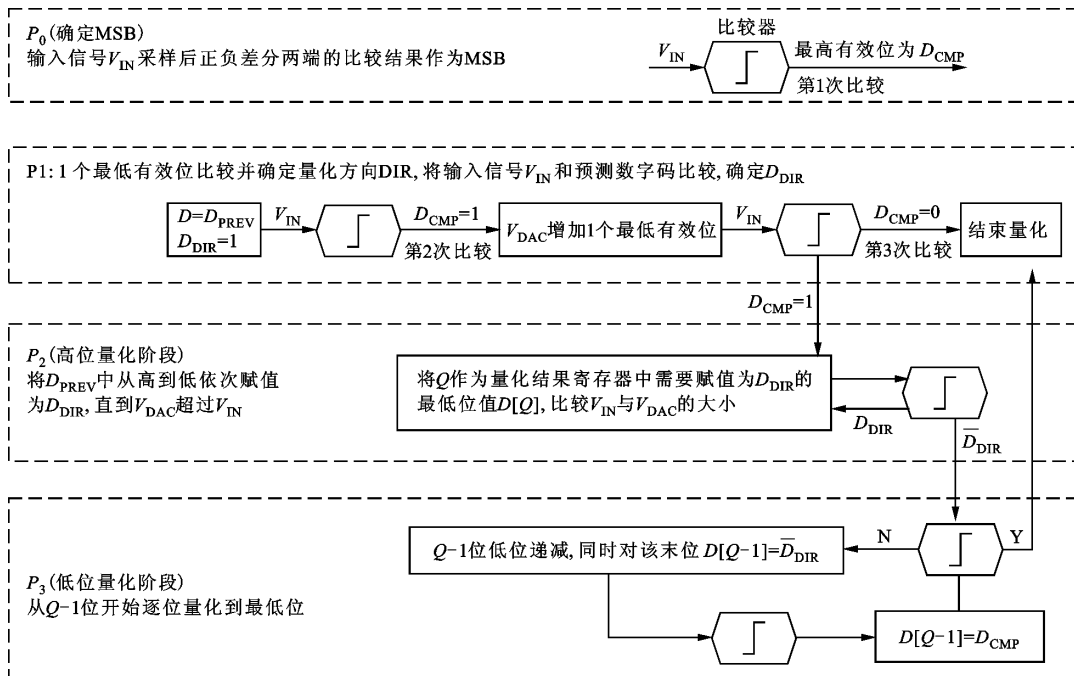


图 2 低位逐次逼近量化逻辑流程

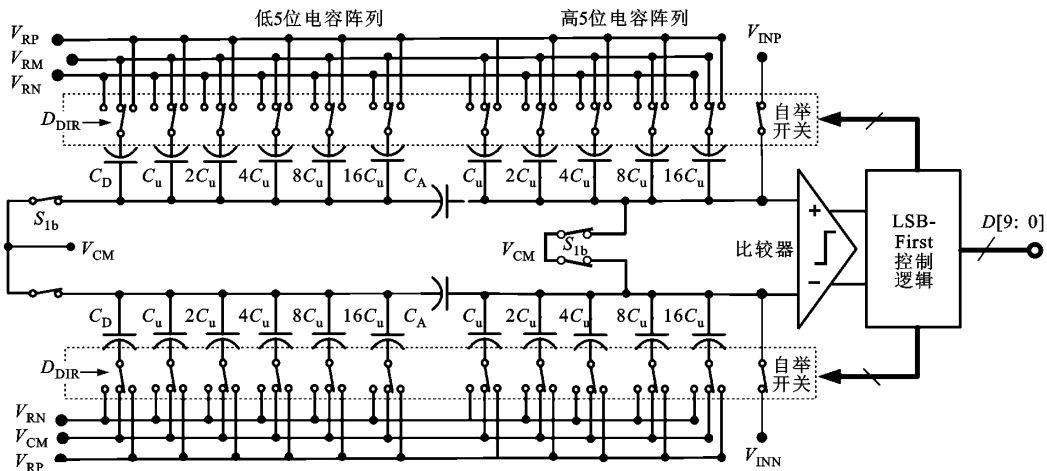


图 3 低位 ADC 系统结构图

依次赋给 D_{PREV} 中与 D_{DIR} 不同的数字位,如此赋值使对应的参考比较电压 V_{DAC} 增大的量逐渐变大,这样可以快速找到此次采样电压所处的量化区间,同时亦可大大减少采样电容的反转次数。直到第 Q 位改变时比较器的结果发生反转,此时说明高位量化已经结束,然后可从 $Q-1$ 位开始使用传统 SAR ADC 量化方式,直至确定最低位的量化值。

表 1 以初始条件 ($V_{\text{IN}} > V_{\text{DAC}}$) 下为例给出了一种量化的具体情况。为了使该例子更具一般性,上次量化值 $D_{\text{PREV}} = D[9:0] = 11010\ 10110$ 取了一个较大的值,且本次采样值比 D_{PREV} 大 5 个最低有效位。可以看出高位量化阶段,在将 D_{DIR} 赋值给 $D[3]$ 时,比较器的输出发生了改变,说明此时满足 $V_{\text{IN}} < V_{\text{DAC}}$,也就是说 V_{IN} 的量化值应该在这两次 V_{DAC} 之间。此时将 D_{DIR} 赋值给 $D[3]$,从 $D[2]$ 开始进入低位量化阶段。

表 1 ADC 量化结果 $D[9:0]$ 和比较器输出的关系

量化阶段	比较次数	$D[9:0]$	比较器输出
P_0 (确定 MSB)	1	11010 10110	MSB
P_1 (确定 D_{DIR})	2、3	11010 10110	1
	4	11010 10111	1
	5	11010 11111	0
P_2 (高位量化)	6	11010 11011	0
	7	11010 11001	1
	8	11010 11010	1
P_3 (低位量化)	9	11010 11011	0
结束		11010 11011	

第 4 阶段 (P_3) 此阶段为低位量化阶段。当比较器在高位量化阶段的输出结果第一次翻转后,从 $Q-1$

位到最低位的量化方式均采用传统的 SAR ADC 量化方式。将 $Q-1$ 位的值取为 $\overline{D}_{\text{DIR}}$,然后将电容阵列产生的 V_{DAC} 与 V_{IN} 进行比较,将比较器结果 D_{CMP} 赋给 $Q-1$ 的量化结果,同时将 $Q-2$ 位改为 $\overline{D}_{\text{DIR}}$,重复上述过程直至确定最低位量化值,即可结束这个量化过程。

因为比较器也存在动态功耗,本文将最低位的量化时钟作为比较器的使能关闭信号,即输入信号量化结束后随即关闭比较器直到下一个周期开始。

使用这种方式来量化低活动度信号可以大大降低功耗。当采样信号变换缓慢时,前次量化的结果与当前输入信号相差不大时,只需要若干次比较就能快速地得到当前输入信号的量化结果。若前次量化结果与采样输入相差在 1 个最低有效位以内,ADC 只需要 3 次比较就可结束量化;若前次量化结果与采样输入的量化结果相差 $2^N - 1$ 个最低有效位,则 ADC 需要进行 $2N + 1$ 次量化,所以使用这种控制逻辑的 ADC 对输入信号的量化次数在 $3 \sim 2N + 1$ 之间,但需要 $2N + 1$ 次量化的这种情况在低活动度信号中不会发生,本算法的平均比较次数小于传统 SAR ADC 量化次数,因此这种量化方式极其适合以心电信号、脑电信号为代表的低活动度信号。10 位 ADC 低位逐次逼近的控制逻辑只适用于两次相邻采样中量化值平均差在 32 个最低有效位以内的信号,在采样信号变化剧烈的最差情况下,此量化逻辑则退化为传统的逐次逼近方法,但仍然有效。

2 低位 ADC 电路实现

本文提出的 ADC 系统结构如图 3 所示,为了抑制共模干扰,核心模拟电路以全差分的形式实现。

2.1 低位逐次逼近控制逻辑

低位逐次逼近控制电路用来实现 1.1 节中所述的功能,此模块主要由时钟产生电路、电容阵列开关控制电路和量化输出电路组成。图 4 给出了时钟产生电路的结构和时序图,其中使能信号 EN_ADC 高电平有效,比较器有效信号 VALID 信号由比较器产生,表明比较器已经成功输出了正确的比较结果,其构成低位逐次逼近控制逻辑的异步时钟,避免输入时钟信号对系统其他信号的干扰。时钟产生电路在输入 32 kHz 时钟信号 CK32K、比较器有效信号 VALID 和 ADC 使能信号 EN_ADC 的控制下,不仅需要生成电容阵列的复位清零时钟 CLKR、输入信号采样时钟 CLKS 和比较器控制时钟 CLKC,还

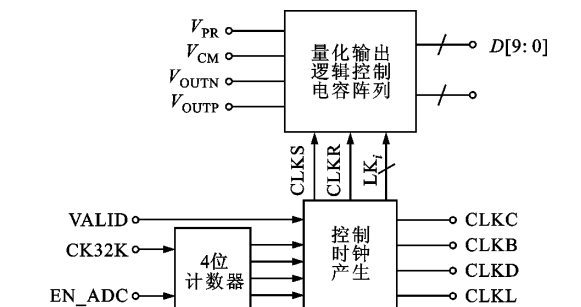
需要 4 个量化阶段 $P_0 \sim P_3$ 的控制信号 LK0、LK1、LK2 和 CLKL。

为了便于实现在高位量化阶段越位改变 D_{PREV} 的数字码,且在低位量化阶段能按照传统 SAR ADC 逻辑进行量化,量化控制电路采用两组寄存器和若干门电路构成,低位 ADC 中间 4 位的量化控制逻辑如图 5 所示。

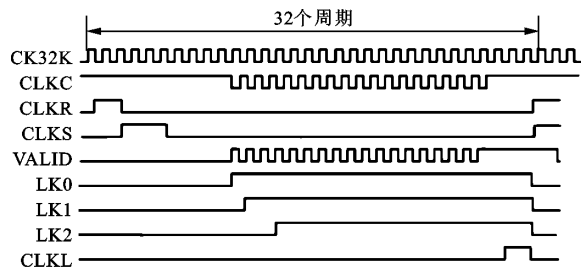
多路选择开关决定电路所处的量化状态,当 ADC 处于高位量化状态时, P_2 信号为高电平, P_3 信号为低电平。D 组寄存器输入为 D_{DIR} ,从 $D[0]$ 开始判断 $D[0]$ 输出与 D_{DIR} 是否相同,同时 EQ0 设置为 1。若相同, $D[0]$ 不需要改变,反之 $D[0]$ 改为 D_{DIR} ,同时改变该位电容上极板连接的电压。同理,中间 $D[i]$ 与 D_{DIR} 相同,便可以直接跳过该位对下一位进行判断设置。当 D_{CMP} 和 D_{DIR} 相异,量化逻辑进入第 4 阶段, P_3 输入变为高电平, P_2 变为低电平,控制多路选择开关,将 D_{CMP} 连接至 D 组寄存器的输入,将 $Q[i+1]$ 的输出作为 Q 组寄存器 $Q[i]$ 的输入, P_3 和 DIR 通过逻辑门对 $D[i]$ 进行复位或者置位操作,然后再将比较器的输出结果送至 $D[i]$,从高位到低位直至确定 $D[0]$,结束量化,关闭比较器。

2.2 CDAC 电容阵列

本文 CDAC 电容阵列采用高 5 位加低 5 位的分段式结构,减小电容总面积,在低 5 位增加方向寄存器控制的单位电容 C_D ,如图 3 所示。低 5 位总电容为 $32C$, C 为单位电容, $C = C_D$ 。为了便于版图设计,桥接电容 C_A 同样取为单位电容,这样会使微分非线性 (D_{NL}) 增加 4%,但相对于 CDAC 电容阵列匹配性的重要性,4% D_{NL} 的性能恶化是可以接受的。采样前电容上下极板连接到共模电压 V_{CM} ,对电容阵列进行清零操作。



(a) 时钟产生电路结构



(b) 时钟产生电路时序图

图 4 时钟产生电路结构和时序图

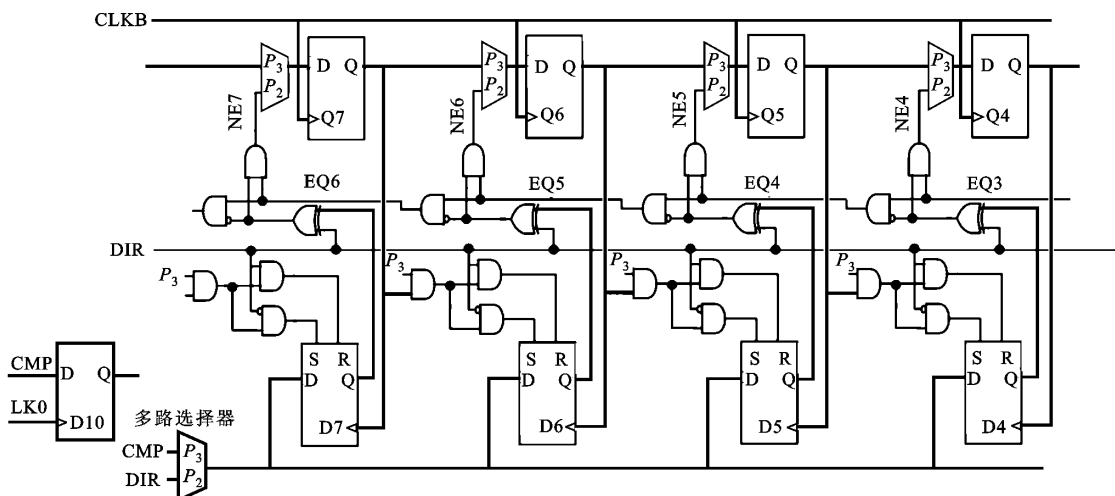


图 5 低位 ADC 中间 4 位的量化控制逻辑

电容的控制逻辑以传统的上极板采样的共模恒定型 CDAC 控制方法为基础,即对输入信号采样后直接进行比较,比较结果作为 MSB。然后,前次量化结果通过开关控制电容阵列的下极板连接对应的参考电压 V_{RP} 或者 V_{RN} , CDAC 电容阵列差分输出电压的表达式如下

$$V_{DACIP} = V_{IP} + \frac{D}{2^N} V_{RN} + \left(1 - \frac{D}{2^N} V_{RP}\right) + \frac{D}{2^N} V_{CM} \quad (1)$$

$$V_{DACIN} = V_{IN} + \frac{D}{2^N} V_{RP} + \left(1 - \frac{D}{2^N} V_{RN}\right) + \frac{D}{2^N} V_{CM} \quad (2)$$

输出电压 $V_{DAC} = V_{DACIP} - V_{DACIN}$ 为输入信号 V_{IN} 和前次量化结果 D_{PREV} 的差值。

输入信号 V_{IN} 和 D_{PREV} 的比较结果存储到 DIR 寄存器中,并用来控制电容 C_D ,使电容阵列输出改变 1 个最低有效位,并以此判断 V_{IN} 量化结果是否等于 D_{PREV} 。

2.3 低失调比较器

比较器是该 ADC 中的重要模块,易受工艺偏差的影响,当输入差分晶体管的尺寸不完全对称时,比较器容易产生失调电压 V_{offp} 和 V_{offn} 。为了满足高精度的要求,本文比较器采用输出失调校准技术,对比较器的前置放大器加锁存器的两级结构失调电压进行抵消,比较器的输出失调校准结构如图 6 所示。

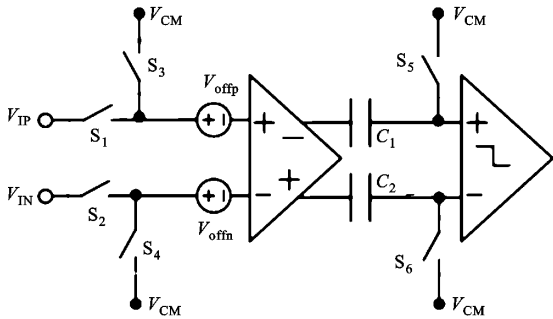


图6 比较器的输出失调校准结构

预放大器使用交叉耦合的正反馈结构 M_2/M_3 和二极管连接 MOS 管 M_1/M_4 并联形成放大器的复合负载。为了实现更好的版图匹配并降低热噪声,采用 PMOS 管 M_5/M_6 作为预放大器的输入,比

较器的前置放大器原理如图 7 所示。正反馈结构可提高预放大器的增益,如下式

$$A_V = \frac{g_{m5}}{g_{m1} - g_{m2}} \quad (3)$$

式中: g_{mi} 为晶体管 M_i 的跨导。通过设计 M_1 和 M_2 的尺寸,获得所需的 g_{m1}/g_{m2} 的比值来控制预放大器的增益。

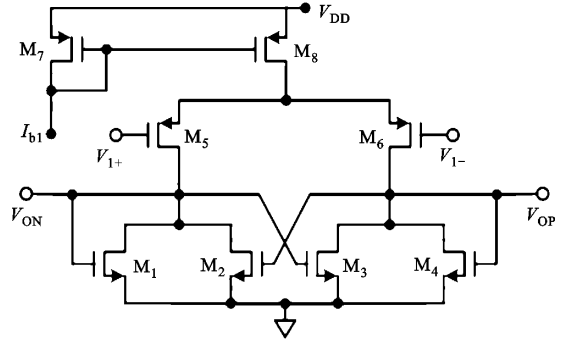


图7 比较器的前置放大器原理图

比较器中的锁存器采用动态交叉耦合结构,具有速度快和功耗低的特点。由于动态锁存结构的 MOS 管需要较大的输入电压范围,为了防止输入电压共模的变化对比较器性能产生影响,本文在动态锁存器前添加预放大器来稳定锁存器输入共模电压。动态锁存比较器的具体电路结构如图 8 所示。

动态锁存比较器有复位和比较两种工作状态。当时钟 CK3 为低电平时,比较器复位, $M_5 \sim M_8$ 导通,输出电压 V_P 、 V_N 复位为高电平,比较器有效信号 VALID 被复位为低电平。当时钟 CK3 为高电平时,比较器处于工作状态, MOS 管 $M_5 \sim M_8$ 关断,预放大器对输入信号放大后, $M_1 \sim M_4$ 构成的正反馈锁存器将比较的结果锁存输出。

3 低位 ADC 的仿真结果

本文提出的 10 位低位逐次逼近模数转换器采用 Global Foundry 0.18 μm 的标准 CMOS 工艺设计实现,电源电压为 1.8 V,采样率在心电信号应用

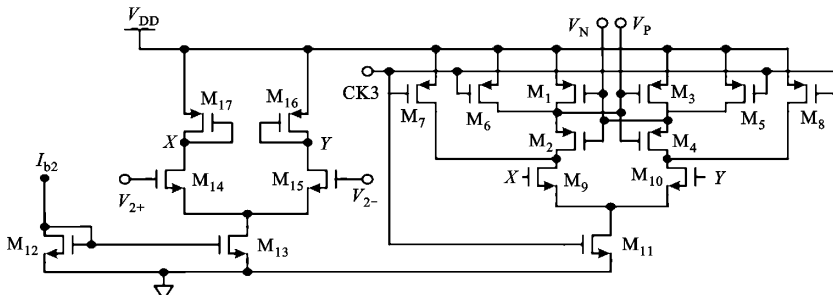


图8 动态锁存比较器的电路结构

中设计为 1 kHz。

为了模拟体内心电信号,本文向 ADC 输入周期约为 800 ms、上升时间为 2 ms、下降时间为 13 ms 的三角波,其他时间输入信号处于基线位置。图

9 所示的仿真波形从上到下依次为采样时钟 CLKS、输入信号 V_{IN} 和 CDAC 电容阵列差分输出 V_{DACP} 和 V_{DACN} 。从图 9 的仿真结果可以看出:在 2 ms 上升期间,信号变化较大,ADC 需要经过 9 次的比较才

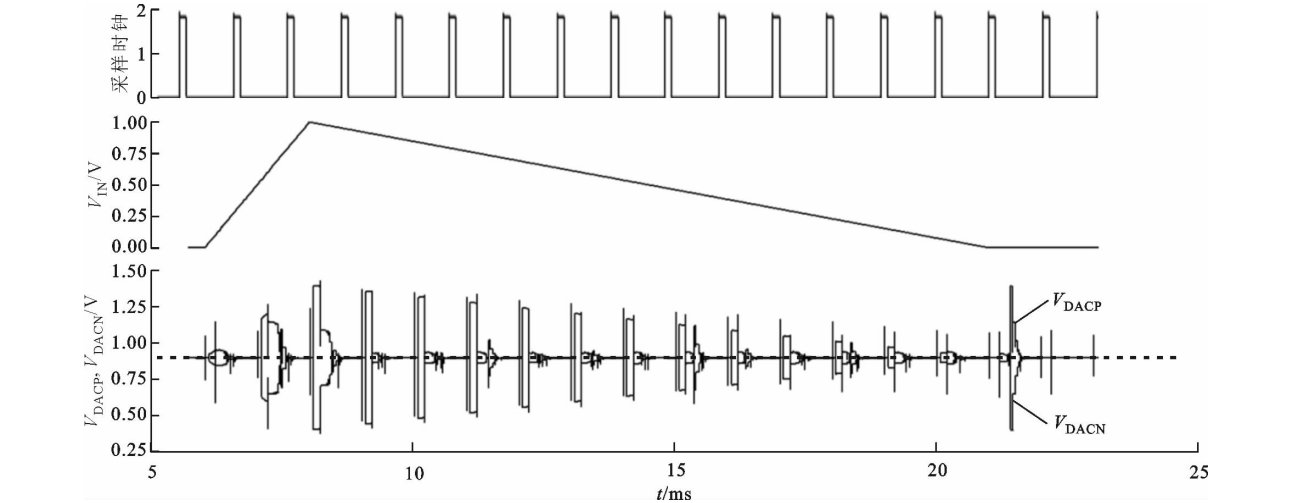


图 9 输入信号为三角波 ADC 的电容阵列输出电压仿真结果

能获得最终的量化结果;当 13 ms 信号下降变换缓慢时,ADC 需要 5 次转换比较即可实现量化;当输入信号处于基线而变化很小时,ADC 只需要比较 3 次就可以得到量化结果。ADC 核心电路在标准体内心电信号输入下的平均电流功耗为 131 nA;当输入信号处于基线时,核心电路只需 3 次比较的平均电流功耗仅为 64 nA。图 10 给出了 ADC 整体版图设计,版图面积为 $394\text{ }\mu\text{m}\times 770\text{ }\mu\text{m}$,CDAC 中电容阵列及其增加匹配度的冗余电容占据了大部分的芯片面积。在对版图提取寄生电阻和电容后,对 ADC 进行了后仿真,ADC 静态特性仿真结果如图 11 和图 12 所示。ADC 的微分非线性误差(D_{NL})的绝对值最大为 0.62 b,积分非线性误差(I_{NL})的绝对值最大为 0.81 b。ADC 的无杂散动态范围为 79.2 dB,信号噪声失真比为 59.8 dB,有效位为 9.6 b。

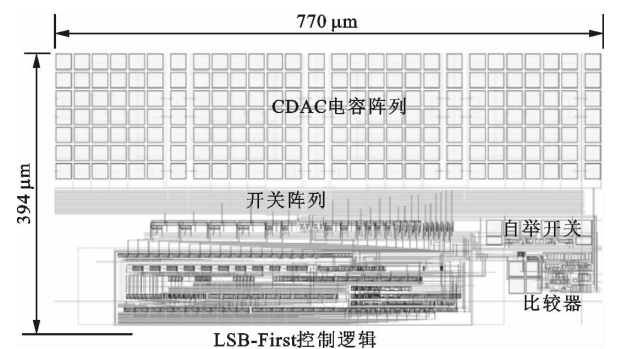


图 10 ADC 整体版图设计

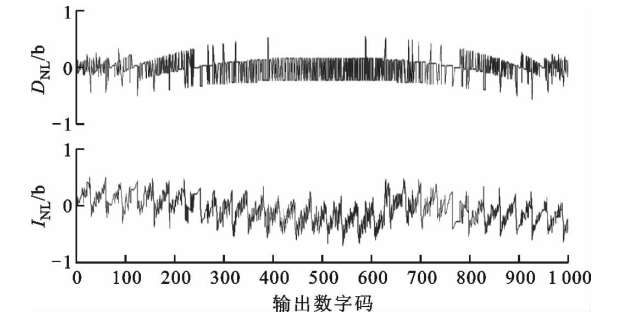


图 11 ADC 静态特性仿真

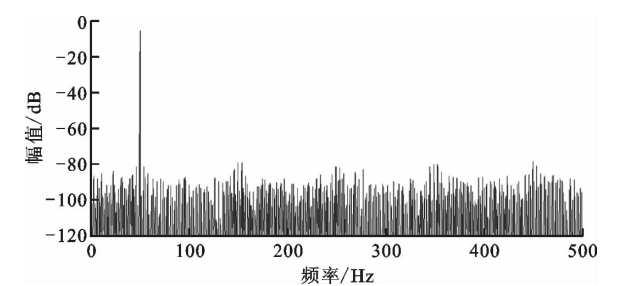


图 12 ADC 动态特性仿真

可知,采用本文所提出的量化方法可以有效降低平均功耗,后仿结果可实现 9.6 b 的有效位,ADC 动态性能指标信号噪声失真比更大、无杂散动态范围更宽,最终获得了较好的综合性能。

4 结 论

本文以共模恒定型的 SAR ADC 为基础提出一种低位逐次逼近 ADC,通过低位逐次逼近逻辑降低心电信号量化过程中电容阵列和比较器的反转次数

表 2 给出了和近期其他论文工作的对比,分析

表 2 本文与其他文献方法的结果对比

方法来源	工艺特征尺寸 /nm	芯片面积 /mm ²	单位电容 /fF	$D_{NL,max}$ /b	$I_{NL,max}$ /b	供电电压 /V	采样频率 /kHz	信号噪声失真比 /dB	无杂散动态范围 /dB	有效位/b	功耗 /nW	ADC 品质因数/ $fJ \cdot$ 转换步 ⁻¹
文献[1]	65	0.200	300.0	0.80	0.70	1.00	10 ⁷	32.0	44.7	5.00	83.0×10 ⁶	197.0
文献[3]	90	0.063	335.0	0.90	0.90	1.20	10 ⁶	27.4	35.0	4.45	2.4×10 ⁶	390.0
文献[7]	65	0.212	2 080.0	0.58	0.57	0.55	20	55.0	68.8	8.84	206.0	22.4
文献[10]	180	0.960	72.0	0.09	0.22	0.50	50	52.2	40.2	8.04	25.5×10 ³	2.9~17.0
文献[12]	90	0.180	50.0	0.79	0.86	1.20	10 ⁵	56.6	71.0	9.10	1.3×10 ⁶	77.0
文献[13]	130	0.320	2.5	0.91	1.27	1.20	5×10 ⁴	57.0	61.8	9.18	826.0×10 ³	29.0
本文	180	0.303	414.8	0.62	0.81	1.80	1	59.8	79.2	9.60	115.0~236.0	26.6~54.7

以降低功耗,同时实现了较高的精度和线性度。

电路采用 Global Foundry 0.18 μm 的标准 CMOS 工艺设计实现,版图面积为 394 $\mu\text{m} \times 770 \mu\text{m}$ 。从仿真结果可以看出,ADC 在电源电压为 1.8 V 和采样频率为 1 kHz 时, D_{NL} 的绝对值最大为 0.62 b, I_{NL} 最大为 0.81 b。动态性能中信噪失真比为 59.8 dB,无杂散动态范围为 79.2 dB,有效位为 9.6 b。其功耗与输入信号有关,核心电路平均电流功耗范围为 64~131 nA,ADC 品质因数为每次转换耗能 26.6~54.7 fJ。

本文所提出的低位量化逻辑控制方式可以为自适应量化生物信号的低功耗 ADC 提供新的研究思路,特别适合于低活动度的生物信号的模数转换。

参考文献:

[1] YANG X, LIU J. A 10 GS/s 6 b time-interleaved partially active flash ADC [J]. IEEE Transactions on Circuits and Systems: I Regular Papers, 2014, 61(8): 2272-2280.

[2] YASUE T, TOMIOKA K, FUNATSU R, et al. A 33Mpixel CMOS imager with multi-functional 3-stage pipeline ADC for 480fps high-speed mode and 120fps low-noise mode [C]// Proceedings of the 2018 IEEE International Solid-State Circuits Conference. Piscataway, NJ, USA: IEEE, 2018: 90-92.

[3] D'AMICO S, COCCIOLO G, SPAGNOLO A, et al. A 7.65-mW 5-bit 90-nm 1-Gs/s folded interpolated ADC without calibration [J]. IEEE Transactions on Instrumentation and Measurement, 2014, 63(2): 295-303.

[4] CARDES F, GUTIERREZ E, QUINTERO A, et al. 0.04-mm² 103-dB-A dynamic range second-order VCO-based audio $\Sigma\Delta$ ADC in 0.13- μm CMOS [J]. IEEE Journal of Solid-State Circuits, 2018, PP(99): 1-12.

[5] MCCREARY J L, GRAY P R. All-MOS charge redis-

tribution analog-to-digital conversion techniques: I [J]. IEEE Journal of Solid-State Circuits, 1975, 10(6): 371-379.

[6] YAZICIOGLU R F, KIM S, TORFS T, et al. A 30 μW analog signal processor ASIC for portable biopotential signal monitoring [J]. IEEE Journal of Solid-State Circuits, 2011, 46(1): 209-223.

[7] YIP M, CHANDRAKASAN A P. A resolution-reconfigurable 5-to-10-Bit 0.4-to-1 V power scalable SAR ADC for sensor applications [J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1453-1464.

[8] SAYINER N, SORENSEN H V, VISWANATHAN T R. A level-crossing sampling scheme for A/D conversion [J]. IEEE Transactions on Circuits and Systems: II Analog and Digital Signal Processing, 1996, 43(4): 339.

[9] TRAKIMAS M, SONKUSALE S R. An adaptive resolution asynchronous ADC architecture for data compression in energy constrained sensing applications [J]. IEEE Transactions on Circuits and Systems: I Regular Papers, 2011, 58(5): 921-934.

[10] YAUL F M, CHANDRAKASAN A P. A 10 bit SAR ADC with data-dependent energy reduction using LSB-First successive approximation [J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2825-2834.

[11] LEE B G, LEE S G. Input-tracking DAC for low-power high-linearity SAR ADC [J]. Electronics Letters, 2011, 47(16): 911.

[12] ZHU Y, CHAN C H, CHIO U F, et al. A 10-bit 100-MS/s reference-free SAR ADC in 90 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2010, 45(6): 1111-1121.

[13] LIU C C, CHANG S J, HUANG G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor switching procedure [J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 731-740.

(编辑 武红江)